



#4
ATTORNEY DOCKET NO. Q63677
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Naoto AKIYAMA, et al.

Appln. No.: 09/813,978

Group Art Unit: 3762

Confirmation No.: 6052

Examiner: NOT YET ASSIGNED

Filed: March 22, 2001

For: SEMICONDUCTOR SWITCH DRIVING CIRCUIT

RECEIVED

JUL 05 2001

TECHNOLOGY CENTER R3700

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

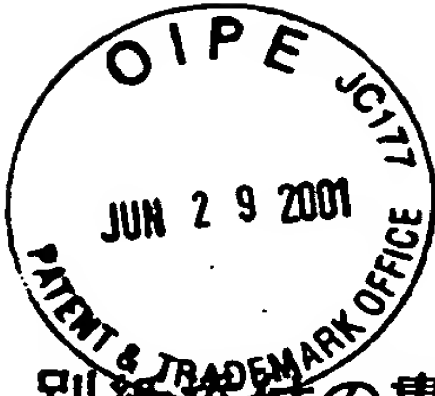
Respectfully submitted,

Darryl Mexic

SUGHRUE, MION, ZINN,
MACPEAK & SEAS, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3213
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

Darryl Mexic
Registration No. 23,063

Enclosures: Japan 2000-080985
Date: June 29, 2001



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 3月22日

出願番号
Application Number: 特願2000-080985

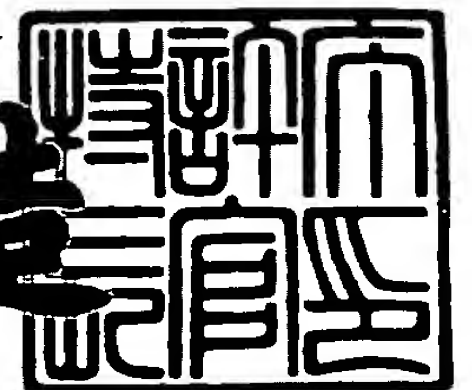
出願人
Applicant(s): 日本光電工業株式会社

RECEIVED
JUL 05 2001
TECHNOLOGY CENTER R3700

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3026900

【書類名】 特許願

【整理番号】 49-139

【あて先】 特許庁長官殿

【国際特許分類】 H02M 1/08
H03K 17/61
A61N 1/39

【発明者】

【住所又は居所】 東京都新宿区西落合 1 丁目 3 1 番 4 号 日本光電工業株式会社内

【氏名】 秋山 直人

【発明者】

【住所又は居所】 東京都新宿区西落合 1 丁目 3 1 番 4 号 日本光電工業株式会社内

【氏名】 猪俣 雅彦

【発明者】

【住所又は居所】 東京都新宿区西落合 1 丁目 3 1 番 4 号 日本光電工業株式会社内

【氏名】 津村 育洋

【特許出願人】

【識別番号】 000230962

【住所又は居所】 東京都新宿区西落合 1 丁目 3 1 番 4 号

【氏名又は名称】 日本光電工業株式会社

【代理人】

【識別番号】 100099195

【弁理士】

【氏名又は名称】 宮越 典明

【手数料の表示】

【予納台帳番号】 030889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体スイッチ駆動回路

【特許請求の範囲】

【請求項 1】 少なくともトランスを有する半導体スイッチ駆動回路であって、

前記トランスの一次側に、半導体スイッチを制御するための制御信号により、前記トランスの一次側電流を制御する一次側領域を具備し、

前記トランスの二次側に、スイッチ素子を直接駆動する二次側領域を具備し、

前記スイッチ素子のゲートとエミッタとの間の電圧を連続して正電圧に維持でき、かつ、該ゲートとエミッタとの間の電圧を連続して負電圧に維持でき、かつ、該ゲートとエミッタとの間の電圧を正電圧と負電圧とが交互に高速スイッチングして維持できる構成であること、を特徴とする半導体スイッチ駆動回路。

【請求項 2】 請求項 1 に記載の半導体スイッチ駆動回路において、前記一次側領域は、制御信号を入力し、複数のスイッチ素子を制御するための電力を、前記二次側領域に伝達し、前記トランスを流れる電流が遮断されたときに発生する逆起電力を吸収するように構成され、

前記二次側領域は、前記一次側領域から供給された電力を受け、複数のスイッチ素子を制御するための電力を前記複数のスイッチ素子に伝達し、前記複数のスイッチ素子を、半導体スイッチ駆動回路の前記二次側領域から供給された電力を受けて、スイッチ経路の導通または遮断を行うように構成されたことを特徴とする半導体スイッチ駆動回路。

【請求項 3】 請求項 1 または 2 に記載の半導体スイッチ駆動回路において、J タイプ P 型 MOSFET のソースが電源端子に接続され、前記 J タイプ P 型 MOSFET のドレインが、ダイオードのアノードに接続され、前記ダイオードのカソードが、トランスの一次巻き線の一端の端子に接続され、前記 J タイプ P 型 MOSFET を導通することにより、前記トランスの一次巻き線の一端の端子と、前記トランスの一次巻き線他端の端子との間の逆起電力が抑制されるように構成されたことを特徴とする半導体スイッチ駆動回路。

【請求項 4】 請求項 1 ～ 3 のいずれかに記載の半導体スイッチ駆動回路に

において、前記一次側領域は、制御信号入力端子（P L）が、並列接続された抵抗（1 0 5）とコンデンサ（1 0 4）とを介して、N P Nバイポーラトランジスタ（1 0 8）のベースに接続され、

N P Nバイポーラトランジスタ（1 0 8）のベースとエミッタが、抵抗（1 0 6）を介して接続され、該エミッタが接地端子（G N D）に接続され、

N P Nバイポーラトランジスタ（1 0 8）のコレクタが、抵抗（1 0 7）を介して、JタイプP型M O S F E T（1 1 0）のゲートに接続され、

JタイプP型M O S F E T（1 1 0）のゲートとソースとが、抵抗（1 0 9）を介して接続され、該ソースが電源端子（V D D）に接続され、

JタイプP型M O S F E T（1 1 0）のドレインが、ダイオード（1 1 1）のアノードに接続され、

ダイオード（1 1 1）のカソードが、KタイプN型M O S F E T（1 1 4）のドレイン及びトランス（1 2 7）の一次巻き線の端子（1 2 7 a）に接続され、

KタイプN型M O S F E T（1 1 4）のゲートとソースとが、抵抗（1 1 3）を介して接続され、該ソースが接地端子G N Dに接続され、

制御信号入力端子（N）が、このKタイプN型M O S F E T（1 1 4）のゲートに抵抗（1 1 2）を介して接続され、

制御信号入力端子（N L）が、並列接続された抵抗（1 1 7）とコンデンサ（1 1 6）とを介して、N P Nバイポーラトランジスタ（1 2 0）のベースに接続され、

N P Nバイポーラトランジスタ（1 2 0）のベースとエミッタが、抵抗（1 1 8）を介して接続され、該エミッタが接地端子（G N D）に接続され、

N P Nバイポーラトランジスタ（1 2 0）のコレクタが、抵抗（1 1 9）を介して、JタイプP型M O S F E T（1 2 2）のゲートに接続され、

JタイプP型M O S F E T（1 2 2）のゲートとソースが、抵抗（1 2 1）を介して接続され、該ソースが電源端子（V D D）に接続され、

JタイプP型M O S F E T（1 2 2）のドレインが、ダイオード（1 2 3）のアノードに接続され、

ダイオード（1 2 3）のカソードが、KタイプN型M O S F E T（1 2 6）の

ドレイン及びトランス（127）の一次巻き線の端子（127d）に接続され、

KタイプN型MOSFET（126）のゲートとソースが、抵抗（125）を介して接続され、該ソースが接地端子GNDに接続され、

入力信号（P）が、このKタイプN型MOSFET（126）のゲートに抵抗（124）を介して接続され、

トランス（127）の一次巻き線の端子（127b、127c）が、センタータップ（135）に接続され、該センタータップ（135）が電源端子（VDD）に接続され、該センタータップ（135）がコンデンサ（115）を介して接地端子（GND）に接続されていることを特徴とする半導体スイッチ駆動回路。

【請求項5】 請求項1～4に記載の半導体スイッチ駆動回路において、前記二次側領域は、前記スイッチ素子と、該スイッチ素子を直接駆動するゲート駆動部と、を複数有し、前記スイッチ素子が直列接続された構成であることを特徴とする半導体スイッチ駆動回路。

【請求項6】 請求項5に記載の半導体スイッチ駆動回路において、前記スイッチ素子が絶縁ゲート型バイポーラトランジスタ（IGBT）であることを特徴とする半導体スイッチ駆動回路。

【請求項7】 請求項5または6に記載の半導体スイッチ駆動回路において、前記トランスの一次巻き線に発生する逆起電力によって二次巻き線に発生する起電力を遮断するための定電圧ツェナーダイオードを、前記二次側領域に有することを特徴とする半導体スイッチ駆動回路。

【請求項8】 請求項1～7のいずれかに記載の半導体スイッチ駆動回路において、前記二次側領域は、前記トランスの二次巻き線の一端の端子が、第一の定電圧ツェナーダイオードのアノードに接続され、

前記第一の定電圧ツェナーダイオードと互いにカソード同士が向かい合わせて接続された第二の定電圧ツェナーダイオードのアノードが、第一の抵抗を介して、特定のスイッチ素子のゲートに接続され、

前記トランスの二次巻き線他端の端子が、前記特定のスイッチ素子のエミッタに接続され、

前記第二の定電圧ツェナーダイオードのアノードと、前記特定のスイッチ素子

のエミッタ間に、第二の抵抗およびコンデンサが、それぞれ接続され、

前記特定のスイッチ素子を複数備えていることを特徴とする半導体スイッチ駆動回路。

【請求項 9】 請求項 1 ～ 8 のいずれかに記載の半導体スイッチ駆動回路を、高電圧の電気パルスが発生させる回路の半導体スイッチに用いたことを特徴とする電氣的治療装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体スイッチ駆動回路に関し、特に、除細動器などの電氣的治療装置に使用される半導体スイッチの制御に適した半導体スイッチ駆動回路に関する。

【 0 0 0 2 】

【従来の技術】

高電圧の制御が可能な半導体スイッチ用の素子として、絶縁ゲート型バイポーラトランジスタ（I G B T : Insulated Gate Bipolar Transistor）が一般的に用いられている。

この絶縁ゲート型バイポーラトランジスタ（以下、I G B T と記す）で構成された半導体スイッチを駆動する回路は、制御信号と I G B T のゲートを直接駆動する回路部分とは、電氣的絶縁を行うために、フォトカプラまたはトランスを介して接続するように構成されている。

【 0 0 0 3 】

以下、従来の半導体スイッチ駆動回路について、フォトカプラを用いた例と、パルストランスを用いた例とを、図を用いて説明する。

【 0 0 0 4 】

図 3 は、フォトカプラを用いた半導体スイッチ駆動回路の回路図である。

図 3 において、1 段目のスイッチ素子（I G B T）2 0 8 a を駆動する部分は、フォトカプラ 2 0 1 a、コンパレータ 2 0 2 a、正電圧電源 2 0 3 a、トランジスタ 2 0 4 a、2 0 5 a、負電圧電源 2 0 6 a、抵抗 2 0 7 a からなり、接

地端子はGND 1に接続されている。また、2段目のスイッチ素子（IGBT）208bを駆動する部分は、フォトカプラ201b、コンパレータ202b、正電圧電源203b、トランジスタ204b、205b、負電圧電源206b、抵抗207bで構成され、接地端子はGND 2に接続され、次段以降も同様に駆動回路が構成できる。

【0005】

図4は、パルストランスを用いた半導体スイッチ駆動回路の回路図である。

図4において、パルストランス251の二次側に接続された、1段目のスイッチ素子（IGBT）257aを駆動する部分は、トランジスタ255a、ダイオード252a、253a、抵抗254a、256aで構成され、2段目のスイッチ素子（IGBT）257bを駆動する部分は、トランジスタ255b、ダイオード252b、253b、抵抗254b、256bで構成され、次段以降も同様に駆動回路が構成できる。

【0006】

【発明が解決しようとする課題】

しかしながら、従来の半導体スイッチ駆動回路は、以下のような問題点を生ずる。

図3の半導体スイッチ駆動回路は、駆動するスイッチ素子（IGBT）の一段毎に、フォトカプラと、正電圧電源と、負電圧電源と、GNDとをそれぞれ備えている例である。多段構成の半導体スイッチの従来の方式では、スイッチ素子（IGBT）のスイッチングのタイミングがずれてしまうという問題がある。スイッチングのタイミングがずれてしまうと図3に示すようにスイッチ素子が直列に接続されている場合はスイッチ素子に過電圧がかかり、またスイッチ素子が並列に接続されている場合は、スイッチ素子に過電流がかかり、いずれの場合も、スイッチ素子が破壊されてしまう恐れがある。また、スイッチ素子（IGBT）の段数分だけ、フォトカプラと、正電圧電源と、負電圧電源と、GNDの部品数とが必要となるので、回路規模が大きくなり、装置全体のコストが高くなってしまいうという問題がある。

【0007】

また、図4の半導体スイッチ駆動回路は、駆動するスイッチ素子（IGBT）のゲートに対して、正電圧または負電圧を連続して供給することができないものである。また、逆バイアス（正電圧から負電圧、または、負電圧から正電圧）への切り換えが遅いという問題点がある。

さらに、正電圧または負電圧の電圧値をそれぞれ独立した値に設定することができない、低周波スイッチング用途ではトランスのサイズが大きくなる、などの問題点も抱えている。

【0008】

本発明は、前記従来の技術の問題点に鑑みてなされたものであって、少ない部品数でもって、駆動するスイッチ素子（IGBT）のゲートに対して、正電圧または負電圧を連続して供給することができ、逆バイアスへの切り換えが高速にでき、各段のスイッチングのタイミングのずれを小さくできることで、特に、電氣的治療装置に使用される半導体スイッチの制御に適した半導体スイッチ駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の半導体スイッチ駆動回路は、少なくともトランスを有する半導体スイッチ駆動回路であって、前記トランスの一次側に、半導体スイッチを制御するための制御信号により、前記トランスの一次側電流を制御する一次側領域を具備し、前記トランスの二次側に、スイッチ素子を直接駆動する二次側領域を具備し、前記スイッチ素子のゲートとエミッタとの間の電圧を連続して正電圧に維持でき、かつ、該ゲートとエミッタとの間の電圧を連続して負電圧に維持でき、かつ、該ゲートとエミッタとの間の電圧を正電圧と負電圧とが交互に高速スイッチングして維持できる構成をとる。

【0010】

請求項2記載の半導体スイッチ駆動回路は、前記一次側領域は、制御信号を入力し、複数のスイッチ素子を制御するための電力を、前記二次側領域に伝達し、前記トランスを流れる電流が遮断されたときに発生する逆起電力を吸収するように構成され、前記二次側領域は、前記一次側領域から供給された電力を受け、複

数のスイッチ素子を制御するための電力を前記複数のスイッチ素子に伝達し、前記複数のスイッチ素子を、半導体スイッチ駆動回路の前記二次側領域から供給された電力を受けて、スイッチ経路の導通または遮断を行うように構成されたことで、入力する制御信号に同期して動作する。

【 0 0 1 1 】

請求項 3 記載の半導体スイッチ駆動回路は、J タイプ P 型 MOS FET のソースが電源端子に接続され、前記 J タイプ P 型 MOS FET のドレインが、ダイオードのアノードに接続され、前記ダイオードのカソードが、トランスの一次巻き線の一端の端子に接続され、前記 J タイプ P 型 MOS FET を導通することにより、前記トランスの一次巻き線の一端の端子と、前記トランスの一次巻き線他端の端子との間の逆起電力が抑制できるように構成されている。

【 0 0 1 2 】

請求項 4 記載の半導体スイッチ駆動回路は、前記一次側領域は、制御信号入力端子が、並列接続された抵抗とコンデンサとを介して、NPN バイポーラトランジスタのベースに接続され、NPN バイポーラトランジスタのベースとエミッタが、抵抗を介して接続され、該エミッタが接地端子に接続され、NPN バイポーラトランジスタのコレクタが、抵抗を介して、J タイプ P 型 MOS FET のゲートに接続され、J タイプ P 型 MOS FET のゲートとソースとが、抵抗を介して接続され、該ソースが電源端子に接続され、J タイプ P 型 MOS FET のドレインが、ダイオードのアノードに接続され、ダイオードのカソードが、K タイプ N 型 MOS FET のドレイン及びトランスの一次巻き線端子に接続され、K タイプ N 型 MOS FET のゲートとソースとが、抵抗を介して接続され、該ソースが接地端子に接続され、制御信号入力端子が、この K タイプ N 型 MOS FET のゲートに抵抗を介して接続され、制御信号入力端子が、並列接続された抵抗とコンデンサとを介して、NPN バイポーラトランジスタのベースに接続され、NPN バイポーラトランジスタのベースとエミッタが、抵抗を介して接続され、該エミッタが接地端子に接続され、NPN バイポーラトランジスタのコレクタが、抵抗を介して、J タイプ P 型 MOS FET のゲートに接続され、J タイプ P 型 MOS FET のゲートとソースが、抵抗を介して接続され、該ソースが電源端子に接続さ

れ、JタイプP型MOSFETのドレインが、ダイオードのアノードに接続され、ダイオードのカソードが、KタイプN型MOSFETのドレイン及びトランスの一次巻き線端子接続され、KタイプN型MOSFETのゲートとソースが、抵抗を介して接続され、該ソースが接地端子に接続され、制御信号入力端子が、このKタイプN型MOSFETのゲートに抵抗を介して接続され、トランスの一次巻き線端子が、センタータップに接続され、該センタータップが電源端子に接続され、該センタータップがコンデンサを介して接地端子に接続されていることで、制御信号を入力することにより、複数のスイッチ素子を制御するための電力を、二次側領域に伝達し、トランスを流れる電流が遮断されたときに発生する逆起電力を吸収する。

【 0 0 1 3 】

請求項5記載の半導体スイッチ駆動回路は、前記二次側領域が、前記スイッチ素子と、該スイッチ素子を直接駆動するゲート駆動部と、を複数有し、前記スイッチ素子が直列接続された構成であることで、半導体スイッチの高電圧印可に対する耐圧が、各段のスイッチ素子自体の耐圧を加算した値となる。

【 0 0 1 4 】

請求項6記載の半導体スイッチ駆動回路は、前記スイッチ素子が絶縁ゲート型バイポーラトランジスタ（IGBT）であることで、バイポーラトランジスタの低飽和電圧特性、パワーMOSFETの高速スイッチング特性を併せ持つ素子（IGBT）を使用する。

【 0 0 1 5 】

請求項7記載の半導体スイッチ駆動回路は、前記トランスの一次巻き線に発生する逆起電力によって二次巻き線に発生する起電力を遮断するための定電圧ツェナーダイオードを、前記二次側領域に有する。

【 0 0 1 6 】

請求項8記載の半導体スイッチ駆動回路は、前記二次側領域が、前記トランスの二次巻き線の一端の端子が、第一の定電圧ツェナーダイオードのアノードに接続され、前記第一の定電圧ツェナーダイオードと互いにカソード同士が向かい合わせて接続された第二の定電圧ツェナーダイオードのアノードが、第一の抵抗を

介して、特定のスイッチ素子のゲートに接続され、前記トランスの二次巻き線の他端の端子が、前記特定のスイッチ素子のエミッタに接続され、前記第二の定電圧ツェナーダイオードのアノードと、前記特定のスイッチ素子のエミッタ間に、第二の抵抗およびコンデンサが、それぞれ接続され、前記特定のスイッチ素子を複数備えていることで、一次側領域から供給された電力を受け、複数のスイッチ素子を制御するための電力を複数のスイッチ素子に伝達する。

【 0 0 1 7 】

請求項 9 記載の電氣的治療装置は、請求項 1 ～ 8 のいずれかに記載の半導体スイッチ駆動回路を、高電圧の電気パルスが発生させる回路の半導体スイッチに用いたことで、電氣的治療装置の出力端子から、高電圧の電気パルスを外部の生体へ供給する。

【 0 0 1 8 】

【発明の実施の形態】

以下に、本発明の半導体スイッチ駆動回路の実施の形態について、図面を参照しながら詳細に説明する。

図 1 は、本発明に係る半導体スイッチ駆動回路の実施の形態を説明するための回路図である。

図 1 において、スイッチ素子（IGBT）が多段接続された半導体スイッチを駆動する半導体スイッチ駆動回路 100 は、トランス 103 と、その一次側領域 101 と、二次側領域 102 とから構成されている。

【 0 0 1 9 】

一次側領域 101 は、以下に述べるように構成されている。

制御入力端子及びその信号 PL は、並列接続された抵抗 105 とコンデンサ 104 とを介して、NPN バイポーラトランジスタ 108 のベースに接続され、NPN バイポーラトランジスタ 108 のベースとエミッタは、抵抗 106 を介して接続されかつ接地端子 GND に接続されている。

また、NPN バイポーラトランジスタ 108 のコレクタは、抵抗 107 を介して、J タイプ P 型 MOSFET 110 のゲートに接続され、J タイプ P 型 MOSFET 110 のゲートとソースは、抵抗 109 を介して接続されかつ電源端子 V

DDに接続されている。

また、JタイプP型MOSFET 1 1 0のドレインは、ダイオード1 1 1のアンードに接続され、ダイオード1 1 1のカソードは、KタイプN型MOSFET 1 1 4のドレイン及びトランス1 0 3の一次巻き線の端子1 2 7 aに接続されている。

また、KタイプN型MOSFET 1 1 4のゲートとソースは、抵抗1 1 3を介して接続されかつ接地端子GNDに接続されている。また、制御入力端子及びその信号Nは、このKタイプN型MOSFET 1 1 4のゲートに抵抗1 1 2を介して接続されている。

また、制御入力端子及びその信号NLは、並列接続された抵抗1 1 7とコンデンサ1 1 6とを介して、NPNバイポーラトランジスタ1 2 0のベースに接続され、NPNバイポーラトランジスタ1 2 0のベースとエミッタは、抵抗1 1 8を介して接続されかつ接地端子GNDに接続されている。

また、NPNバイポーラトランジスタ1 2 0のコレクタは、抵抗1 1 9を介して、JタイプP型MOSFET 1 2 2のゲートに接続され、このJタイプP型MOSFET 1 2 2のゲートとソースは、抵抗1 2 1を介して接続されかつ電源端子VDDに接続されている。

また、JタイプP型MOSFET 1 2 2のドレインは、ダイオード1 2 3のアンードに接続され、ダイオード1 2 3のカソードは、KタイプN型MOSFET 1 2 6のドレイン及びトランス1 0 3の一次巻き線の端子1 2 7 dに接続されている。

また、KタイプN型MOSFET 1 2 6のゲートとソースは、抵抗1 2 5を介して接続されかつ接地端子GNDに接続されている。また、制御入力端子及びその信号Pは、このKタイプN型MOSFET 1 2 6のゲートに抵抗1 2 4を介して接続されている。

また、トランス1 0 3の一次巻き線の端子1 2 7 b、1 2 7 cは、センタータップ1 3 5に接続され、さらにセンタータップ1 3 5は電源端子VDDに接続されかつコンデンサ1 1 5を介して接地端子GNDに接続されている。

【0 0 2 0】

二次側領域 1 0 2 は、以下に述べるように構成されている。

一段目のスイッチ素子 (I G B T) 1 3 3 a のエミッタと、二段目のスイッチ素子 (I G B T) 1 3 3 b のコレクタとが接続され、図示しないが、二段目以降のスイッチ素子 (I G B T) がある場合も同様に接続され、多段のスイッチ素子 (I G B T) が直列接続される。

【 0 0 2 1 】

これらスイッチ素子 (I G B T) のゲートとエミッタとの間の電圧を直接制御するゲート駆動部 1 3 6 a 、 1 3 6 b は以下のとおり構成されている。

ゲート駆動部 1 3 6 a は、トランス 1 0 3 の二次巻き線の一端子 1 2 7 e に、(第一の) 定電圧ツェナーダイオード 1 2 8 a のアノードに接続され、互いにカソード同士が向かい合わせで接続された(第二の) 定電圧ツェナーダイオード 1 2 9 a のアノードが、(第一の) 抵抗 1 3 2 a を介して、スイッチ素子 (I G B T) 1 3 3 a のゲートに接続され、二次巻き線他端子 1 2 7 f がスイッチ素子 (I G B T) 1 3 3 a のエミッタに接続され、(第二の) 定電圧ツェナーダイオード 1 2 9 a のアノードと、スイッチ素子 (I G B T) 1 3 3 a のエミッタとの間に、(第二の) 抵抗 1 3 0 a およびコンデンサ 1 3 1 a が、それぞれ接続されている。

【 0 0 2 2 】

ゲート駆動部 1 3 6 b は、トランス 1 0 3 の二次巻き線一端子 1 2 7 g に、(第一の) 定電圧ツェナーダイオード 1 2 8 b のアノードに接続され、互いにカソード同士が向かい合わせで接続された(第二の) 定電圧ツェナーダイオード 1 2 9 b のアノードが、(第一の) 抵抗 1 3 2 b を介して、スイッチ素子 (I G B T) 1 3 3 b のゲートに接続され、二次巻き線他端子 1 2 7 h がスイッチ素子 (I G B T) 1 3 3 b のエミッタに接続され、(第二の) 定電圧ツェナーダイオード 1 2 9 b のアノードと、スイッチ素子 (I G B T) 1 3 3 b のエミッタとの間に、(第二の) 抵抗 1 3 0 b およびコンデンサ 1 3 1 b が、それぞれ接続されている。

図示しないが、二段目以降のゲート駆動部がある場合も同様に構成される。

【 0 0 2 3 】

次に、各領域の機能の説明を以下に記す。

半導体スイッチ駆動回路の一次側領域 1 0 1 は、制御信号を入力し、複数のスイッチ素子 (I G B T) 1 3 3 a、1 3 3 b を制御するための電力を半導体スイッチ駆動回路の二次側領域 1 0 2 に伝達する。また、トランス 1 0 3 の一次巻線を流れる電流が遮断されたときに発生する逆起電力を吸収する。

【 0 0 2 4 】

半導体スイッチ駆動回路の二次側領域 1 0 2 は、半導体スイッチ駆動回路一次側領域 1 0 1 から供給された電力を受け、複数のスイッチ素子 (I G B T) 1 3 3 a、1 3 3 b を制御するための電力を複数のスイッチ素子 (I G B T) 1 3 3 a、1 3 3 b に伝達する。

そして、これら各段のスイッチ素子 (I G B T) 1 3 3 a、1 3 3 b を、二次側領域 1 0 2 から供給された電力を受けて、スイッチ経路 1 3 4 の導通または遮断を行う。

【 0 0 2 5 】

さらに、各回路部品の機能の説明を以下に記す。

コンデンサ 1 0 4 は、バイポーラトランジスタ 1 0 8 のターンオン／ターンオフ時のスピードアップを図る。

抵抗 1 0 5 は、バイポーラトランジスタ 1 0 8 のベース電流制限を行う。

抵抗 1 0 6 は、バイポーラトランジスタ 1 0 8 のベース電位をエミッタと同電位にする。

抵抗 1 0 7 は、バイポーラトランジスタ 1 0 8 のコレクタ電流制限を行う。

バイポーラトランジスタ 1 0 8 は、J タイプ P 型 MOS F E T 1 1 0 のオン／オフ制御を行う。

抵抗 1 0 9 は、J タイプ P 型 MOS F E T 1 1 0 のゲート電位をソースと同電位にする。

J タイプ P 型 MOS F E T 1 1 0 は、K タイプ N 型 MOS F E T 1 2 6 ターンオフ時の逆起電力によってトランス 1 0 3 の一次側巻き線の端子 1 2 7 a に発生する電圧を抑制する。

ダイオード 1 1 1 は、K タイプ N 型 MOS F E T 1 2 6 のターンオフ時の逆起

電力によってトランス 1 0 3 の一次側巻き線の端子 1 2 7 a に発生する電圧を最適なレベルに抑制する。また、K タイプ N 型 MOS F E T 1 2 6 のオン時にトランス 1 0 3 の端子 1 2 7 a に発生する電源電圧より高い電圧により、J タイプ P 型 MOS F E T 1 1 0 に逆向きの電流が流れるのを防ぐ。

抵抗 1 1 2 は、K タイプ N 型 MOS F E T 1 1 4 のゲート電流制限を行う。

抵抗 1 1 3 は、K タイプ N 型 MOS F E T 1 1 4 のゲート電位をソースと同電位にする。

K タイプ N 型 MOS F E T 1 1 4 は、トランス 1 0 3 の一次巻線への電流供給制御を行う。

コンデンサ 1 1 5 は、トランス 1 0 3 へ供給する電源電圧の平滑化を行う。

コンデンサ 1 1 6 は、バイポーラトランジスタ 1 2 0 のターンオン／ターンオフ時のスピードアップに寄与する。

抵抗 1 1 7 は、バイポーラトランジスタ 1 2 0 のベース電流制限をおこなう。

抵抗 1 1 8 は、バイポーラトランジスタ 1 2 0 のベース電位をコレクタと同電位にする。

抵抗 1 1 9 は、バイポーラトランジスタ 1 2 0 のコレクタ電流制限を行う。

バイポーラトランジスタ 1 2 0 は、J タイプ P 型 MOS F E T 1 2 2 のオン／オフ制御を行う。

抵抗 1 2 1 は、J タイプ P 型 MOS F E T 1 2 2 のゲート電位をソースと同電位にする。

J タイプ P 型 MOS F E T 1 2 2 は、K タイプ N 型 MOS F E T 1 1 4 ターンオフ時の逆起電力によってトランス 1 0 3 の一次巻き線の端子 1 2 7 d に発生する電圧を抑制する。

ダイオード 1 2 3 は、K タイプ N 型 MOS F E T 1 1 4 ターンオフ時の逆起電力によってトランス 1 0 3 の一次巻き線の端子 1 2 7 d に発生する電圧を最適なレベルに抑制する。また、K タイプ N 型 MOS F E T 1 1 4 オン時にトランス 1 0 3 の端子 1 2 7 d に発生する電源電圧より高い電圧により、J タイプ P 型 MOS F E T 1 2 2 に逆向きの電流が流れるのを防ぐ。

抵抗 1 2 4 は、K タイプ N 型 MOS F E T 1 2 6 のベース電流制限を行う。

抵抗 1 2 5 は、K タイプ N 型 MOS F E T 1 2 6 のゲート電位をソースと同電位にする。

K タイプ N 型 MOS F E T 1 2 6 は、トランス 1 0 3 一次巻線への電流供給制御を行う。

トランス 1 0 3 は、半導体スイッチ駆動回路の一次側－二次側間の絶縁、二次側－二次側間の絶縁、および一次側から二次側への電力の伝達を行う。

定電圧ツェナーダイオード 1 2 8 a は、スイッチ素子 (I G B T) 1 3 3 a への正電圧供給経路の接続、およびトランス 1 0 3 の逆起電力によってトランス 1 0 3 の二次巻き線の端子 1 2 7 e、1 2 7 f 間に発生する電圧の遮断を行う。

定電圧ツェナーダイオード 1 2 9 a は、スイッチ (I G B T) 1 3 3 a への負電圧供給経路の接続、およびトランス 1 0 3 の逆起電力によってトランス 1 0 3 の二次巻き線の端子 1 2 7 e、1 2 7 f 間に発生する電圧の遮断を行う。

抵抗 1 3 0 a は、スイッチ素子 (I G B T) 1 3 3 a のゲート電位をエミッタと同電位にする。

コンデンサ 1 3 1 a は、スイッチ素子 (I G B T) 1 3 3 a のゲート電圧保持、および複数接続されたスイッチ素子 (I G B T) 1 3 3 a、1 3 3 b 間のゲート容量のばらつき補正する。

抵抗 1 3 2 a は、スイッチ素子 (I G B T) 1 3 3 a のゲート電流を制限する。

スイッチ素子 (I G B T) 1 3 3 a は、スイッチ経路 1 3 4 を導通／遮断する。

また、二段目のスイッチ素子 (I G B T) 1 3 3 b の駆動部分 (定電圧ツェナーダイオード 1 2 8 b、1 2 9 b、抵抗 1 3 0 b、コンデンサ 1 3 1 b、抵抗 1 3 2 b) も同様に機能する。

【 0 0 2 6 】

次に、本実施の形態に係る半導体スイッチ駆動回路の動作を、図 1 の回路図及び図 2 のタイミング図の (a) ～ (c) を参照して説明する。

a. 半導体スイッチの導通状態を維持する (正電圧の連続供給) 動作 (図 2 の

(a) 参照、)

本動作における、半導体スイッチ駆動回路の一次側領域 1 0 1 の動作は、以下の (a - 1 ~ a - 8) のとおりである。

a - 1 : 半導体スイッチ駆動回路の一次側領域 1 0 1 の入力信号 N、N L を回路上の 0 V レベルに保つ。

a - 2 : 入力信号 P L を、0 V レベルからバイポーラトランジスタ 1 0 8 がオンできるレベル (例えば + 5 V) に設定する。

a - 3 : バイポーラトランジスタ 1 0 8 が導通状態となる。

a - 4 : J タイプ P 型 MOS F E T 1 1 0 が導通状態になる。

a - 5 : a - 1 において、入力信号 N L を 0 V レベルに設定してから、バイポーラトランジスタ 1 2 0 および J タイプ P 型 MOS F E T 1 2 2 がオフするのに十分な時間が経過した後 (例えば 1 μ s 後) に、入力信号 P を 0 V レベルから K タイプ N 型 MOS F E T 1 2 6 がオンできるレベル (例えば + 5 V) に設定する。

a - 6 : K タイプ N 型 MOS F E T 1 2 6 が導通状態になる。

a - 7 : トランス 1 0 3 の一次巻き線に、センタータップ 1 3 5 から K タイプ N 型 MOS F E T 1 2 6 に向かって 1 2 7 c から 1 2 7 d へ電流が流れる。

a - 8 : トランス 1 0 3 の各二次巻き線両端に、端子 1 2 7 e 側を正、端子 1 2 7 f 側を負、(同様に端子 1 2 7 g 側が正、端子 1 2 7 h 側を負) とした起電力 V 2 p が発生する (数 1 参照)。

【0 0 2 7】

【数 1】

$$V 2 p = V 1 \times N 2 / N 1$$

【0 0 2 8】

なお、数 1 において、V 1 は、トランス 1 0 3 の端子 1 2 7 c、1 2 7 d 間に

かかる電圧、N1は、トランス103の端子127c、127d間（および127a、127b間）の巻数、N2は、トランス103の端子127e、127f間（および127g、127h間）の巻数である。

【0029】

次に、本動作における、半導体スイッチ駆動回路の二次側領域102の動作は、以下の（a-9～a-18）のとおりである。

なお、複数段の半導体スイッチのうちの一つのスイッチ素子（IGBT）133aの駆動部分について述べるが、他段のスイッチ素子（IGBT）133b等の動作も同様である。

【0030】

a-9：各二次巻き線両端の起電力 V_{2p} が増加し、定電圧ツェナーダイオード129aのツェナー電圧 V_{z29} と定電圧ツェナーダイオード128aの順方向ドロップ電圧 V_{f28} を加えた電圧を越える（数2参照）。

【0031】

【数2】

$$V_{2p} > V_{z29} + V_{f28}$$

【0032】

a-10：定電圧ツェナーダイオード129aが導通状態になる。

a-11：コンデンサ131aへの充電（定電圧ツェナーダイオード129a側が正）と、抵抗132aを通したスイッチ素子（IGBT）133aのゲート容量に対する充電（ゲート側が正）が行われる。

a-12：スイッチ素子（IGBT）133aのゲート電圧 V_{GE} がゲートしきい値電圧 $V_{GE(TH)}$ を越え（数3の条件）、スイッチ素子（IGBT）133aが導通状態になる。

【0033】

【数3】

$$V_{GE33} > V_{GE(TH)}$$

【0034】

a-13: スイッチ素子 (IGBT) 133a のゲート電圧 V_{GE33} が、導通状態を保つのに十分なレベル (例えば +1.5 V) になった後 (例えば 2.5 μ s 後) に、入力信号 P を 0 V レベルに設定する。

a-14: K タイプ N 型 MOSFET 126 が遮断状態になる。

a-15: トランス 103 の一次巻き線に、端子 127d 側が正、端子 127a 側を負とした逆起電力が発生するが、巻き線の片側の端子 127a 側が、導通状態の J タイプ P 型 MOSFET 110 とダイオード 111 によって電源に接続されているため、端子 127a、127d 間に発生する逆起電力 V_{1rev} は、数 4 に示すように抑制される。

【0035】

【数 4】

$$V_{1rev} = (V_{ds10} + V_{f11}) \times 2$$

【0036】

なお、 V_{ds10} は、J タイプ P 型 MOSFET 110 のドロップ電圧、 V_{f11} は、ダイオード 111 の順方向のドロップ電圧である。

【0037】

a-16: トランス 103 の一次巻き線に発生する逆起電力 V_{1rev} によって、二次巻き線にも端子 127f 側を正、端子 127e 側を負とした起電力 $V_{2p_{rev}}$ が発生するが、そのレベルは定電圧ツェナーダイオード 128a のツェナー電圧 V_{z28} 以下であり、二次側回路は定電圧ツェナーダイオード 128a によって遮断された状態になる (数 5 参照)。

【0038】

【数 5】

$$V_{2p_{rev}} = (V_{1_{rev}} \times N_2 / N_1) < V_{z28}$$

【 0 0 3 9 】

a - 1 7 : スイッチ素子 (I G B T) 1 3 3 a のゲート電圧 V_{GE33} が、抵抗 1 3 0 a、コンデンサ 1 3 1 a、抵抗 1 3 2 a、およびスイッチ素子 (I G B T) 1 3 3 a のゲート容量によって決定される時定数で減少する。

この時定数は、トランス 1 0 3 のコアに蓄積された磁気エネルギーが消費されるのに十分な時間の間、スイッチ素子 (I G B T) 1 3 3 a のゲート電圧 V_{GE33} が、導通状態を保つのに十分な電圧を維持し続けられるように決定されている。

a - 1 8 : スイッチ素子 (I G B T) 1 3 3 a のゲート電圧 V_{GE35} がゲートしきい値電圧 $V_{GE(TH)}$ 以下に下がるよりも前、かつ、トランス 1 0 3 のコアに蓄積された磁気エネルギーが消費された後に、入力信号 P を 0 V レベルから K タイプ N 型 M O S F E T 1 2 6 がオンできるレベル (例えば + 5 V) に設定する。

【 0 0 4 0 】

以降、a - 6 ~ a - 1 8 を繰り返す。

なお、他段のスイッチ素子 (I G B T) 1 3 3 b 等の駆動部分でも同じ動作が、同じタイミングで行われる。

【 0 0 4 1 】

b . 半導体スイッチの遮断状態を維持する (負電圧の連続供給) 動作 (図 2 の (b) 参照)

本動作における、半導体スイッチ駆動回路の一次側領域 1 0 1 の動作は、以下の (b - 1 ~ b - 8) のとおりである。

b - 1 : 半導体スイッチ駆動回路の一次側領域 1 0 1 の入力信号 P、P L を回路上の 0 V レベルに保つ。

b - 2 : 入力信号 N L を、0 V レベルからバイポーラトランジスタ 1 2 0 がオンできるレベル (例えば + 5 V) に設定する。

b - 3 : バイポーラトランジスタ 1 2 0 が導通状態となる。

b - 4 : J タイプ P 型 M O S F E T 1 2 2 が導通状態になる。

b-5: 入力信号 PL を 0 V レベルに設定してから、バイポーラトランジスタ 1 0 8 および J タイプ P 型 MOS FET 1 1 0 がオフするのに十分な時間が経過した後（例えば 1 μ s 後）に、入力信号 N を 0 V レベルから K タイプ N 型 MOS FET 1 1 4 がオンできるレベル（例えば + 5 V）に設定する。

b-6: K タイプ N 型 MOS FET 1 1 4 が導通状態になる。

b-7: トランス 1 0 3 の一次巻き線に、センタータップから K タイプ N 型 MOS FET 1 1 4 に向かって（1 2 7 b から 1 2 7 a へ）電流が流れる。

b-8: トランス 1 0 3 の各二次巻き線両端に、端子 1 2 7 f 側を正、端子 1 2 7 e 側を負、（同様に端子 1 2 7 h 側が正、端子 1 2 7 g 側が負）とした起電力 V_{2n} が発生する（以下、数 6 参照）。

【0 0 4 2】

【数 6】

$$V_{2n} = V_1 \times N_2 / N_1$$

【0 0 4 3】

なお、 V_1 は、トランス 1 0 3 の端子 1 2 7 b、1 2 7 a 間にかかる電圧、 N_1 は、トランス 1 0 3 端子 1 2 7 a、1 2 7 b 間（および 1 2 7 c、1 2 7 d 間）の巻数、 N_2 は、トランス 1 0 3 端子 1 2 7 e、1 2 7 f 間（および 1 2 7 g、1 2 7 h 間）の巻数である。

【0 0 4 4】

次に、本動作における、半導体スイッチ駆動回路の二次側領域 1 0 2 の動作は、以下の（b-9～b-18）のとおりである。

なお、複数段の半導体スイッチのうちの一つのスイッチ素子（IGBT）1 3 3 a の駆動部分について述べるが、他段のスイッチ素子（IGBT）1 3 3 b 等の動作も同様である。

【0 0 4 5】

b-9: 各二次巻き線両端の起電力 V_{2n} が増加し、定電圧ツェナーダイオード 1 2 8 a のツェナー電圧 V_{z28} と定電圧ツェナーダイオード 1 2 9 a の順方向

ドロップ電圧 V_{f29} を加えた電圧を越える。

【0 0 4 6】

【数 7】

$$V_{2n} > V_{z28} + V_{f29}$$

【0 0 4 7】

b - 1 0 : 定電圧ツェナーダイオード 1 2 8 a が導通状態になる。

b - 1 1 : コンデンサ 1 3 1 a への充電（定電圧ツェナーダイオード 1 2 9 a 側が負）と、抵抗 1 3 2 a を通したスイッチ素子（IGBT）1 3 3 a のゲート容量に対する充電（ゲート側が負）が行われる。

b - 1 2 : スwitch素子 1 3 3 a のゲート電圧 V_{GE} が負になり、強制的な遮断状態となる。

b - 1 3 : スwitch素子 1 3 3 a のゲート電圧 V_{GE} が遮断状態を保つのに十分なレベル（例えば - 1 5 V）になった後（例えば 2 . 5 μ s 後）に、入力信号 N を 0 V レベルに設定する。

b - 1 4 : K タイプ N 型 MOSFET 1 1 4 が遮断状態になる。

b - 1 5 : トランス 1 0 3 の一次巻き線に、端子 1 2 7 a 側を正、端子 1 2 7 d 側を負とした逆起電力が発生するが、巻き線の片端の端子 1 2 7 d 側が、導通状態の J タイプ P 型 MOSFET 1 2 2 とダイオード 1 2 3 によって電源に接続されているため、発生する逆起電力 V_{1rev} は、以下の数 8 に示すように抑制される。

【0 0 4 8】

【数 8】

$$V_{1rev} = (V_{ds22} + V_{f23}) \times 2$$

【0 0 4 9】

なお、 V_{ds22} は、J タイプ P 型 MOSFET 1 2 2 の電圧ドロップ、 V_{f23} は

、ダイオード 1 2 3 の順方向の電圧ドロップである。

【 0 0 5 0 】

b - 1 6 : トランス 1 0 3 一次巻き線に発生する逆起電力 $V_{1\text{rev}}$ によって、二次巻き線にも端子 1 2 7 e 側を正、端子 1 2 7 f 側を負とした起電力 $V_{2\text{nrev}}$ が発生するが、そのレベルは定電圧ツェナーダイオード 1 2 9 a のツェナー電圧 V_{z29} 以下であり、二次側回路は定電圧ツェナーダイオード 1 2 9 a によって遮断された状態になる（数 9 参照）。

【 0 0 5 1 】

【数 9】

$$V_{2\text{nrev}} = (V_{1\text{rev}} \times N_2 / N_1) < V_{z29}$$

【 0 0 5 2 】

b - 1 7 : スイッチ素子 (I G B T) 1 3 3 a のゲート電圧 V_{GE33} が、抵抗 1 3 0 a 、コンデンサ 1 3 1 a 、抵抗 1 3 2 a 、およびスイッチ素子 (I G B T) 1 3 3 a のゲート容量によって決定される時定数で増加する。

この時定数は、トランス 1 0 3 のコアに蓄積された磁気エネルギーが消費されるのに十分な時間の間、スイッチ素子 (I G B T) 1 3 3 a のゲート電圧 V_{GE33} が、遮断状態を保つのに十分な電圧を維持し続けられるように決定されている。

b - 1 8 : スイッチ素子 (I G B T) 1 3 3 のゲート電圧 V_{GE33} がしきい値 0 V 以上に上がるよりも前、かつ、トランス 1 0 3 のコアに蓄積された磁気エネルギーが消費された後に、入力信号 N を 0 V レベルから K タイプ N 型 M O S F E T 1 1 4 がオンできるレベル（例えば + 5 V ）に設定する。

【 0 0 5 3 】

以降、b - 6 ~ b - 1 8 を繰り返す。

なお、他段のスイッチ素子 (I G B T) 1 3 3 b 等の駆動部分でも同じ動作が、同じタイミングで行われる。

【 0 0 5 4 】

c. 半導体スイッチのスイッチング動作（正負電圧の切り換えによる I G B T

スイッチング動作) (図 2 の (c))

本動作における、半導体スイッチ駆動回路の一次側領域 1 0 1 の動作は、以下の (c - 1 ~ c - 8) のとおりである。

c - 1 : 半導体スイッチ駆動回路の一次側領域 1 0 1 の入力信号 N、N L を回路上の 0 V レベルに設定する。

c - 2 : 入力信号 P L を、0 V レベルからバイポーラトランジスタ 1 0 8 がオンできるレベル (例えば + 5 V) に設定する。

c - 3 : バイポーラトランジスタ 1 0 8 が導通状態となる。

c - 4 : J タイプ P 型 MOS F E T 1 1 0 が導通状態になる。

c - 5 : 入力信号 N L を 0 V レベルに設定してから、バイポーラトランジスタ 1 2 0 および J タイプ P 型 MOS F E T 1 2 2 がオフするのに十分な時間が経過した後 (例えば 1 μ s 後) に、入力信号 P を 0 V レベルから K タイプ N 型 MOS F E T 1 2 6 がオンできるレベル (例えば + 5 V) に設定する。

c - 6 : K タイプ N 型 MOS F E T 1 2 6 が導通状態になる。

c - 7 : トランス 1 0 3 の一次巻き線に、センタータップから K タイプ N 型 MOS F E T 1 2 6 に向かって (1 2 7 c から 1 2 7 d へ) 電流が流れる。

c - 8 : トランス 1 0 3 の各二次巻き線両端に、端子 1 2 7 e 側を正、端子 1 2 7 f 側を負、(同様に端子 1 2 7 g 側が正、端子 1 2 7 h 側を負) とした起電力 V 2 p が発生する。

【 0 0 5 5 】

【 数 1 0 】

$$V 2 p = V 1 \times N 2 / N 1$$

【 0 0 5 6 】

なお、V 1 は、トランス 1 0 3 の端子 1 2 7 c、1 2 7 d 間にかかる電圧、N 1 は、トランス 1 0 3 端子の 1 2 7 c、1 2 7 d 間 (および 1 2 7 a、1 2 7 b 間) の巻数、N 2 は、トランス 1 0 3 の端子 1 2 7 e、1 2 7 f 間 (および 1 2

7 g、1 2 7 h 間) の巻数である。

【0 0 5 7】

次に、本動作における、半導体スイッチ駆動回路の二次側領域 1 0 2 の動作は、以下の (c - 9 ~ c - 3 4) のとおりである。

なお、複数段の半導体スイッチのうちの一つのスイッチ素子 (I G B T) 1 3 3 a の駆動部分について述べるが、他段のスイッチ素子 (I G B T) 1 3 3 b 等の動作も同様である。

【0 0 5 8】

c - 9 : 各二次巻き線両端の起電力 V_{2p} が増加し、定電圧ツェナーダイオード 1 2 9 a のツェナー電圧 V_{z29} と定電圧ツェナーダイオード 1 2 8 a の順方向ドロップ電圧 V_{f28} とを加えた電圧を越える。

【0 0 5 9】

【数 1 1】

$$V_{2p} > V_{z29} + V_{f28}$$

【0 0 6 0】

c - 1 0 : 定電圧ツェナーダイオード 1 2 9 a が導通状態になる。

c - 1 1 : コンデンサ 1 3 1 a への充電 (定電圧ツェナーダイオード 1 2 9 a 側が正) と、抵抗 1 3 2 a を通したスイッチ素子 (I G B T) 1 3 3 a のゲート容量に対する充電 (ゲート側が正) が行われる。

c - 1 2 : スwitch素子 (I G B T) 1 3 3 のゲート電圧 V_{GE33} がゲートしきい値電圧 $V_{GE(TH)}$ を越え (数 1 2)、スイッチ素子 (I G B T) 1 3 3 a が導通状態になる。

【0 0 6 1】

【数 1 2】

$$V_{GE33} > V_{GE(TH)}$$

【 0 0 6 2 】

c - 1 3 : スイッチ素子 (I G B T) 1 3 3 a のゲート電圧 V_{GE33} が、導通状態を保つのに十分なレベル (例えば + 1 5 V) になった後 (例えば 2 . 5 μ s 後) に、入力信号 P を 0 V レベルに設定する。

c - 1 4 : K タイプ N 型 M O S F E T 1 2 6 が遮断状態になる。

c - 1 5 : トランス 1 0 3 の一次巻き線に、端子 1 2 7 d 側が正、端子 1 2 7 a 側を負とした逆起電力が発生するが、巻き線の片端の端子 1 2 7 a 側が、導通状態の J タイプ P 型 M O S F E T 1 1 0 とダイオード 1 1 1 によって電源に接続されているため、端子 1 2 7 a 、 1 2 7 d 間に発生する逆起電力 V_{1rev} は、以下の数 1 3 に示すとおり抑制される。

【 0 0 6 3 】

【数 1 3】

$$V_{1rev} = (V_{ds10} + V_{f11}) \times 2$$

【 0 0 6 4 】

なお、 V_{ds10} は、J タイプ P 型 M O S F E T 1 1 0 の電圧ドロップ、 V_{f11} は、ダイオード 1 1 1 の順方向の電圧ドロップである。

【 0 0 6 5 】

c - 1 6 : トランス 1 0 3 一次巻き線に発生する逆起電力 V_{1rev} によって、二次巻き線にも端子 1 2 7 f 側を正、端子 1 2 7 e 側を負とした起電力 V_{2prev} が発生するが、そのレベルは定電圧ツェナーダイオード 1 2 8 a のツェナー電圧 V_{z28} 以下であり、二次側回路は定電圧ツェナーダイオード 1 2 8 a によって遮断された状態になる。

【 0 0 6 6 】

【数 1 4】

$$V_{2prev} = (V_{1rev} \times N_2 / N_1) < V_{z28}$$

【 0 0 6 7 】

c-17: スイッチ素子 (IGBT) 133a のゲート電圧 V_{GE33} が、抵抗 130a、コンデンサ 131a、抵抗 132a、およびスイッチ素子 (IGBT) 133a のゲート容量によって決定される時定数で減少する。

この時定数は、トランス 103 のコアに蓄積された磁気エネルギーが消費されるのに十分な時間の間、スイッチ素子 (IGBT) 133a のゲート電圧 V_{GE33} が、導通状態を保つのに十分な電圧を維持し続けられるように決定されている。

c-18: スイッチ素子 (IGBT) 133a のゲート電圧 V_{GE33} がゲートしきい値電圧 $V_{GE(TH)}$ 以下に下がるよりも前、かつ、トランス 103 のコアに蓄積された磁気エネルギーが消費された後に、入力信号 PL を 0 V レベルに設定する。同時に入力信号 NL を 0 V レベルからバイポーラトランジスタ 120 がオンできるレベル (例えば +5 V) に設定する。

c-19: バイポーラトランジスタ 120 が導通状態となる。

c-20: J タイプ P 型 MOSFET 122 が導通状態になる。

c-21: 入力信号 PL を 0 V レベルに設定してから、バイポーラトランジスタ 108 および J タイプ P 型 MOSFET 110 がオフするのに十分な時間が経過した後 (例えば $1 \mu s$ 後) に、入力信号 N を 0 V レベルから K タイプ N 型 MOSFET 114 がオンできるレベル (例えば +5 V) に設定する。

c-22: K タイプ N 型 MOSFET 114 が導通状態になる。

c-23: トランス 103 の一次巻き線に、センタータップから K タイプ N 型 MOSFET 114 に向かって (127b から 127a へ) 電流が流れる。

c-24: トランス 103 の各二次巻き線両端に、端子 127f 側を正、端子 127e 側を負、(同様に端子 127h 側が正、端子 127g 側が負) とした起電力 V_{2n} が発生する (数 15)。

【 0 0 6 8 】

【数 15】

$$V_{2n} = V_1 \times N_2 / N_1$$

【 0 0 6 9 】

なお、 V_1 は、トランス103の端子127b、127a間にかかる電圧、 N_1 は、トランス103の端子127a、27b間（および127c、127d間）の巻数、 N_2 は、トランス103の端子127e、127f間（および127g、127h間）の巻数である。

【 0 0 7 0 】

c-25：各二次巻き線両端の起電力 V_{2n} が増加し、定電圧ツェナーダイオード128aのツェナー電圧 V_{z28} と定電圧ツェナーダイオード129aの順方向ドロップ電圧 V_{f29} を加えた電圧を越える。

【 0 0 7 1 】

【 数 1 6 】

$$V_{2n} > V_{z28} + V_{f29}$$

【 0 0 7 2 】

c-26：定電圧ツェナーダイオード128aが導通状態になる。

c-27：コンデンサ131aへの充電（定電圧ツェナーダイオード129a側が負）と、抵抗132aを通したスイッチ素子（IGBT）133aのゲート容量に対する充電（ゲート側が負）が行われる。

c-28：スイッチ素子（IGBT）133aのゲート電圧 V_{GE} が負になり、強制的な遮断状態となる。

c-29：スイッチ素子（IGBT）133aのゲート電圧 V_{GE} が、遮断状態を保つのに十分なレベル（例えば-15V）になった後（例えば2.5μs後）に、入力信号Nを0Vレベルに設定する。

c-30：KタイプN型MOSFET114が遮断状態になる。

31：トランス103の一次巻き線に、端子127a側を正、端子127d側を負とした逆起電力が発生するが、巻き線の片端の端子127dが、導通状態のJタイプP型MOSFET122とダイオード123によって電源に接続されているため、発生する逆起電力 V_{1rev} は、数17に示すように抑制される。

【 0 0 7 3 】

【 数 1 7 】

$$V_{1\text{rev}} = (V_{\text{ds22}} + V_{\text{f23}}) \times 2$$

【 0 0 7 4 】

なお、 V_{ds22} は、JタイプP型MOSFET 1 2 2の電圧ドロップ、 V_{f23} は、ダイオード 1 2 3の順方向の電圧ドロップである。

【 0 0 7 5 】

c-32：トランス 1 0 3の一次巻き線に発生する逆起電力 $V_{1\text{rev}}$ によって、二次巻き線にも端子 1 2 7 e側を正、端子 1 2 7 f側を負とした起電力 $V_{2\text{nrev}}$ が発生するが、そのレベルは定電圧ツェナーダイオード 1 2 9 aのツェナー電圧 V_{z29} 以下であり、二次側領域は定電圧ツェナーダイオード 1 2 9 aによって遮断された状態になる。

【 0 0 7 6 】

【 数 1 8 】

$$V_{2\text{nrev}} = (V_{1\text{rev}} \times N_2 / N_1) < V_{\text{z29}}$$

【 0 0 7 7 】

c-33：スイッチ素子 (IGBT) 1 3 3 aのゲート電圧 V_{GE33} が、抵抗 1 3 0 a、コンデンサ 1 3 1 a、抵抗 1 3 2 a、およびスイッチ素子 (IGBT) 1 3 3 aのゲート容量によって決定される時定数で増加する。

この時定数は、トランス 1 0 3のコアに蓄積された磁気エネルギーが消費されるのに十分な時間の間、スイッチ素子 (IGBT) 1 3 3 aのゲート電圧 V_{GE33} が、遮断状態を保つのに十分な電圧を維持し続けられるように決定されている。

c-34：スイッチ素子 (IGBT) 1 3 3 aのゲート電圧 V_{GE33} がしきい値 0 V以上に上がるよりも前、かつ、トランス 1 0 3のコアに蓄積された磁気エネルギーが消費された後に、入力信号NLを0 Vレベルに設定する。同時に入力信号

P L を 0 V レベルからバイポーラトランジスタ 1 0 8 がオンできるレベル（例えば + 5 V）に設定する。

【 0 0 7 8 】

以降、c - 3 ~ c - 3 4 を繰り返す。

なお、他段のスイッチ素子（I G B T）1 3 3 b 等の駆動部分でも同じ動作が、同じタイミングで行われる。

【 0 0 7 9 】

上述の本実施の形態に係る半導体スイッチ駆動回路は、高電圧の電気パルスが発生させる回路の半導体スイッチに用いることができるので、この半導体スイッチを具備した電氣的治療装置の出力端子から、高電圧の電気パルスを外部の生体へ安定して供給することができるものである。

【 0 0 8 0 】

【発明の効果】

以上詳述したとおり、請求項 1 記載の半導体スイッチ駆動回路は、スイッチ素子のゲートとエミッタとの間の電圧を連続して正電圧に維持でき、かつ、ゲートとエミッタとの間の電圧を連続して負電圧に維持でき、かつ、ゲートとエミッタとの間の電圧を正電圧と負電圧とが交互に高速スイッチングして維持できるので、半導体スイッチの安定した導通状態の維持ができ、かつ、半導体スイッチの安定した遮断状態の維持ができ、かつ、半導体スイッチの高速なスイッチング動作ができるものである。

【 0 0 8 1 】

請求項 2 記載の半導体スイッチ駆動回路は、制御信号を入力することにより、スイッチ経路の導通または遮断を行うことで、入力する制御信号に同期して動作可能な半導体スイッチが実現できるものである。

【 0 0 8 2 】

請求項 3 記載の半導体スイッチ駆動回路は、J タイプ P 型 M O S F E T のソースが電源端子に接続され、前記 J タイプ P 型 M O S F E T のドレインが、ダイオードのアノードに接続され、前記ダイオードのカソードが、トランスの一次巻き線の一端の端子に接続され、前記 J タイプ P 型 M O S F E T を導通することによ

り、前記トランスの一次巻き線の一端の端子と、前記トランスの一次巻き線他端の端子との間の逆起電力が抑制できるように構成されているので、この逆起電力を抑制することにより、安定した動作が可能な半導体スイッチを実現できるものである。

【 0 0 8 3 】

請求項 4 記載の半導体スイッチ駆動回路は、上述の一次側領域の回路構成により、複数のスイッチ素子を制御するための電力を、二次側領域に伝達し、トランスを流れる電流が遮断されたときに発生する逆起電力を吸収することができ、安定した動作ができる半導体スイッチが、簡単な回路かつ少ない部品数で実現できるものである。

【 0 0 8 4 】

請求項 5 記載の半導体スイッチ駆動回路は、前記二次側領域が、前記スイッチ素子と、該スイッチ素子を直接駆動するゲート駆動部と、を複数有し、前記スイッチ素子が直列接続された構成であることで、半導体スイッチの高電圧印可に対する耐圧が、各段のスイッチ素子自体の耐圧を加算した値となり、高耐圧の半導体スイッチが実現できるものである。

【 0 0 8 5 】

請求項 6 記載の半導体スイッチ駆動回路は、前記スイッチ素子が絶縁ゲート型バイポーラトランジスタ（I G B T）であることで、バイポーラトランジスタの低飽和電圧特性、パワー M O S F E T の高速スイッチング特性を併せ持つ素子（I G B T）を使用することができる半導体スイッチを実現できるものである。

【 0 0 8 6 】

請求項 7 記載の半導体スイッチ駆動回路は、前記トランスの一次巻き線に発生する逆起電力によって二次巻き線に発生する起電力を遮断するための定電圧ツェナーダイオードを、前記二次側領域に有することで、安定した動作が可能な半導体スイッチを実現できるものである。

【 0 0 8 7 】

請求項 8 記載の半導体スイッチ駆動回路は、前記二次側領域が、前記トランスの二次巻き線一端の端子が、第一の定電圧ツェナーダイオードのアノードに接

続され、前記第一の定電圧ツェナーダイオードと互いにカソード同士が向かい合
わせて接続された第二の定電圧ツェナーダイオードのアノードが、第一の抵抗を
介して、特定のスイッチ素子のゲートに接続され、前記トランスの二次巻き線の
他端の端子が、前記特定のスイッチ素子のエミッタに接続され、前記第二の定電
圧ツェナーダイオードのアノードと、前記特定のスイッチ素子のエミッタ間に、
第二の抵抗およびコンデンサが、それぞれ接続され、前記特定のスイッチ素子を
複数備えていることで、一次側領域から供給された電力を受け、複数のスイッチ
素子を制御するための電力を複数のスイッチ素子に伝達することができ、スイッ
チ素子間のスイッチタイミングのずれを小さくできる安定性の高い半導体スイッ
チが簡単な回路かつ少ない部品数で実現できるものである。

【 0 0 8 8 】

請求項 9 記載の電氣的治療装置は、請求項 1 ～ 8 のいずれかに記載の半導体ス
イッチ駆動回路を、高電圧の電気パルスが発生させる回路の半導体スイッチに用
いたことで、半導体スイッチの安定した導通状態の維持ができ、半導体スイッチ
の安定した遮断状態の維持ができ、半導体スイッチの高速なスイッチング動作が
でき、各スイッチ素子のスイッチタイミングのずれが最小限に押さえ込まれ、半
導体スイッチが簡単な回路かつ少ない部品数で済むため、動作安定性が高く、コ
ストを低減できる電氣的治療装置が提供できるものである。

【図面の簡単な説明】

【図 1】

本実施の形態に係る半導体スイッチ駆動回路の回路図である。

【図 2】

本実施の形態に係る半導体スイッチ駆動回路の各動作におけるタイミング図で
ある。

【図 3】

従来のフォトカプラを用いた半導体スイッチ駆動回路の回路図である。

【図 4】

従来のパルストランスを用いた半導体スイッチ駆動回路の回路図である。

【符号の説明】

- 1 0 0 半導体スイッチ駆動回路
- 1 0 1 一次側領域
- 1 0 2 二次側領域
- 1 0 3 トランス
- 1 0 4、1 1 5、1 1 6 コンデンサ
- 1 0 5、1 0 6、1 0 7、1 0 9、1 1 2、1 1 3 抵抗
- 1 0 8、1 2 0 バイポーラトランジスタ
- 1 1 0、1 2 2 JタイプP型MOSFET
- 1 1 1、1 2 3 ダイオード
- 1 1 4、1 2 6 KタイプN型MOSFET
- 1 1 7、1 1 8、1 1 9、1 2 1、1 2 4、1 2 5 抵抗
- 1 2 7 a、1 2 7 b、1 2 7 c、1 2 7 d 端子
- 1 2 7 e、1 2 7 f、1 2 7 g、1 2 7 h 端子
- 1 2 8 a、1 2 8 b、1 2 9 a、1 2 9 b 定電圧ツェナーダイオード
- 1 3 0 a、1 3 0 b、1 3 2 a、1 3 2 b 抵抗
- 1 3 1 a、1 3 1 b コンデンサ
- 1 3 3 a、1 3 3 b スイッチ素子 (IGBT)
- 1 3 4 スイッチ経路
- 1 3 5 センタータップ
- 1 3 6 a、1 3 6 b ゲート駆動部
- 2 0 1 a、2 0 1 b フォトカプラ
- 2 0 2 a、2 0 2 b コンパレータ
- 2 0 3 a、2 0 3 b 正電圧電源
- 2 0 4 a、2 0 4 b、2 0 5 a、2 0 5 b トランジスタ
- 2 0 6 a、2 0 6 b 負電圧電源
- 2 0 7 a、2 0 7 b 抵抗
- 2 0 8 a、2 0 8 b、2 5 7 a、2 5 7 b スイッチ素子 (IGBT)
- 2 5 1 パルストランス
- 2 5 2 a、2 5 2 b、2 5 3 a、2 5 3 b ダイオード

2 5 4 a、2 5 4 b、2 5 6 a、2 5 6 b 抵抗

2 5 5 a、2 5 5 b トランジスタ

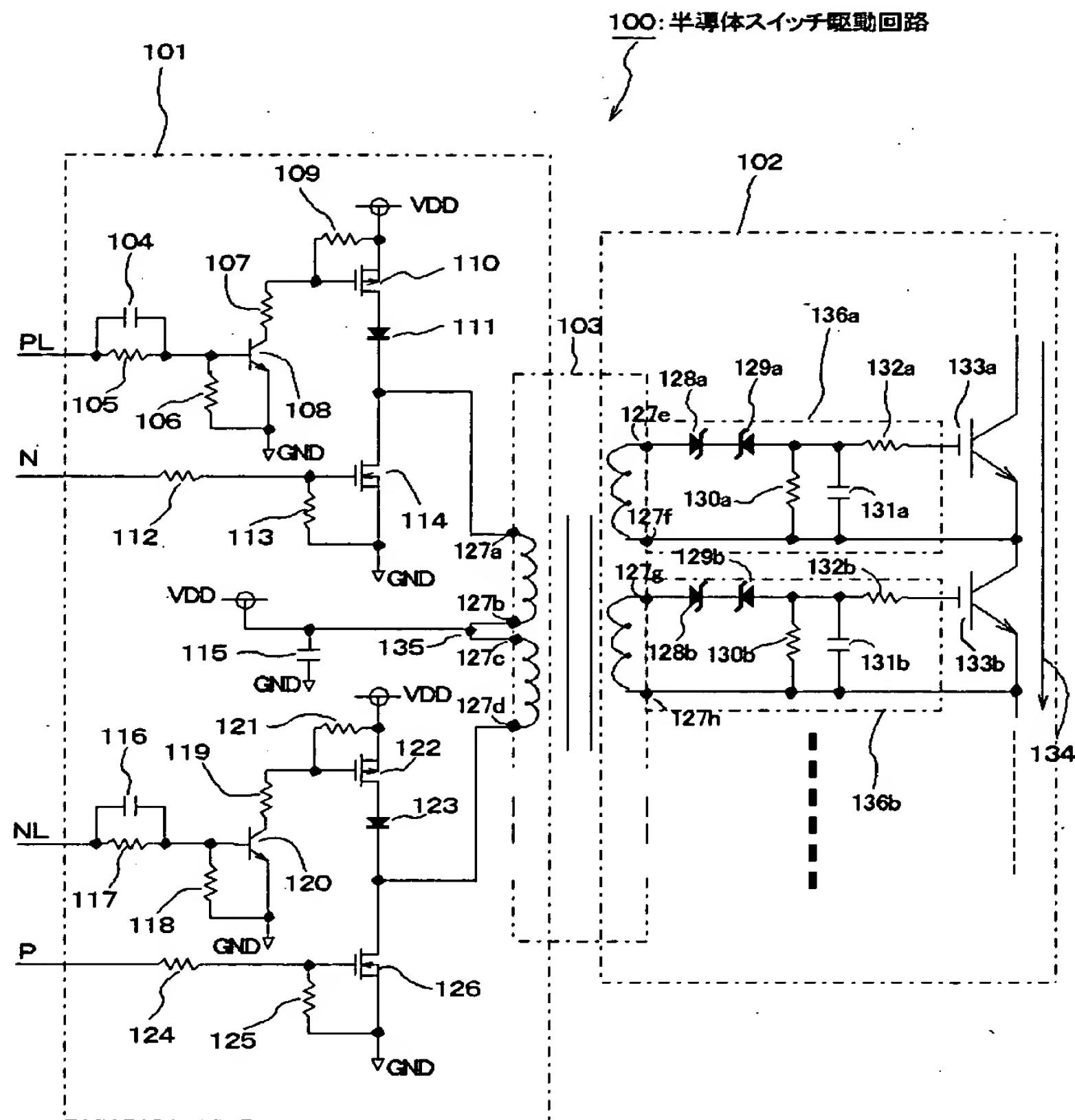
GND、GND 1、GND 2 接地端子

NL、N、PL、P 入力信号

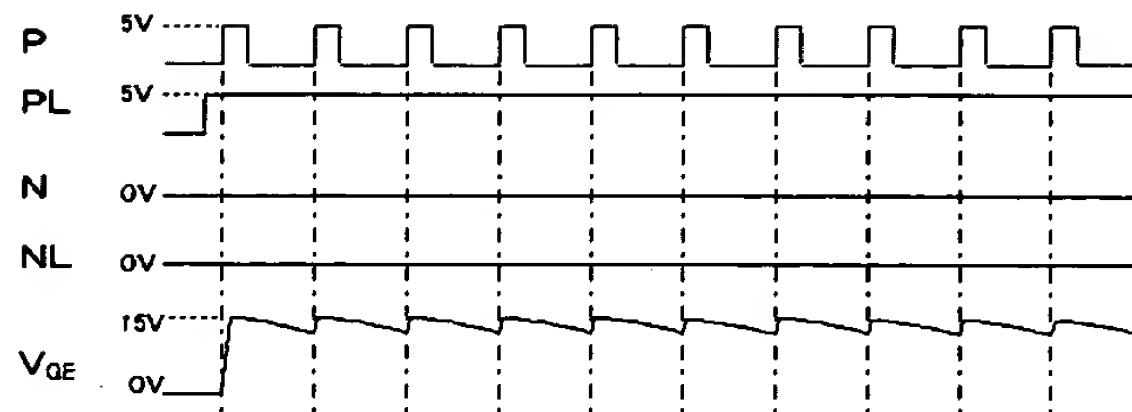
VDD 電源端子

【書類名】 図面

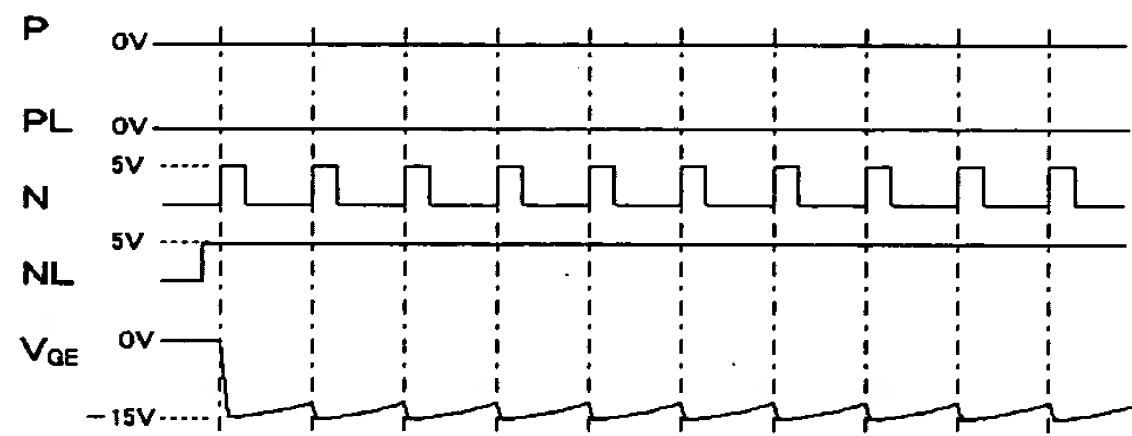
【図 1】



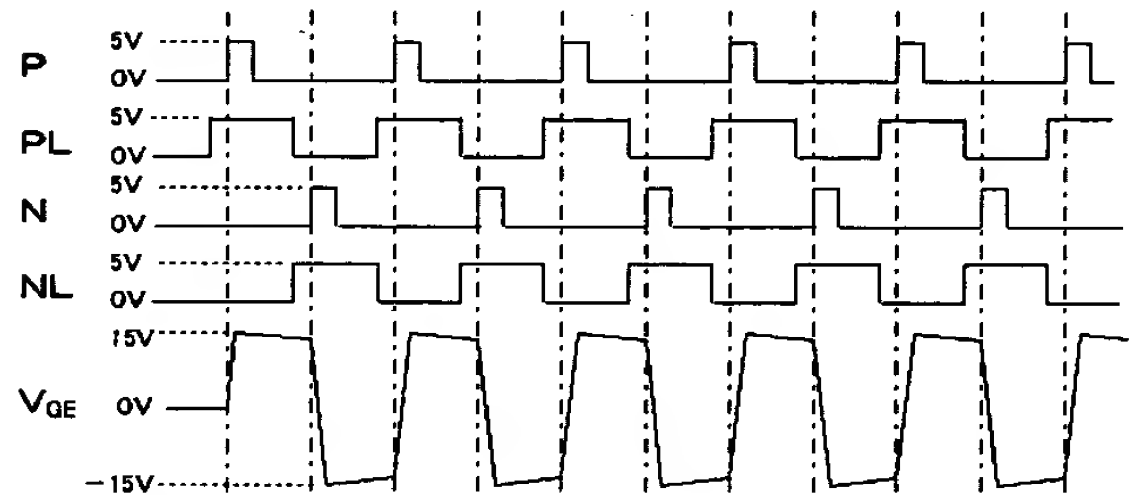
【図 2】



(a) 半導体スイッチの導通状態を維持する(正電圧の連続供給)動作

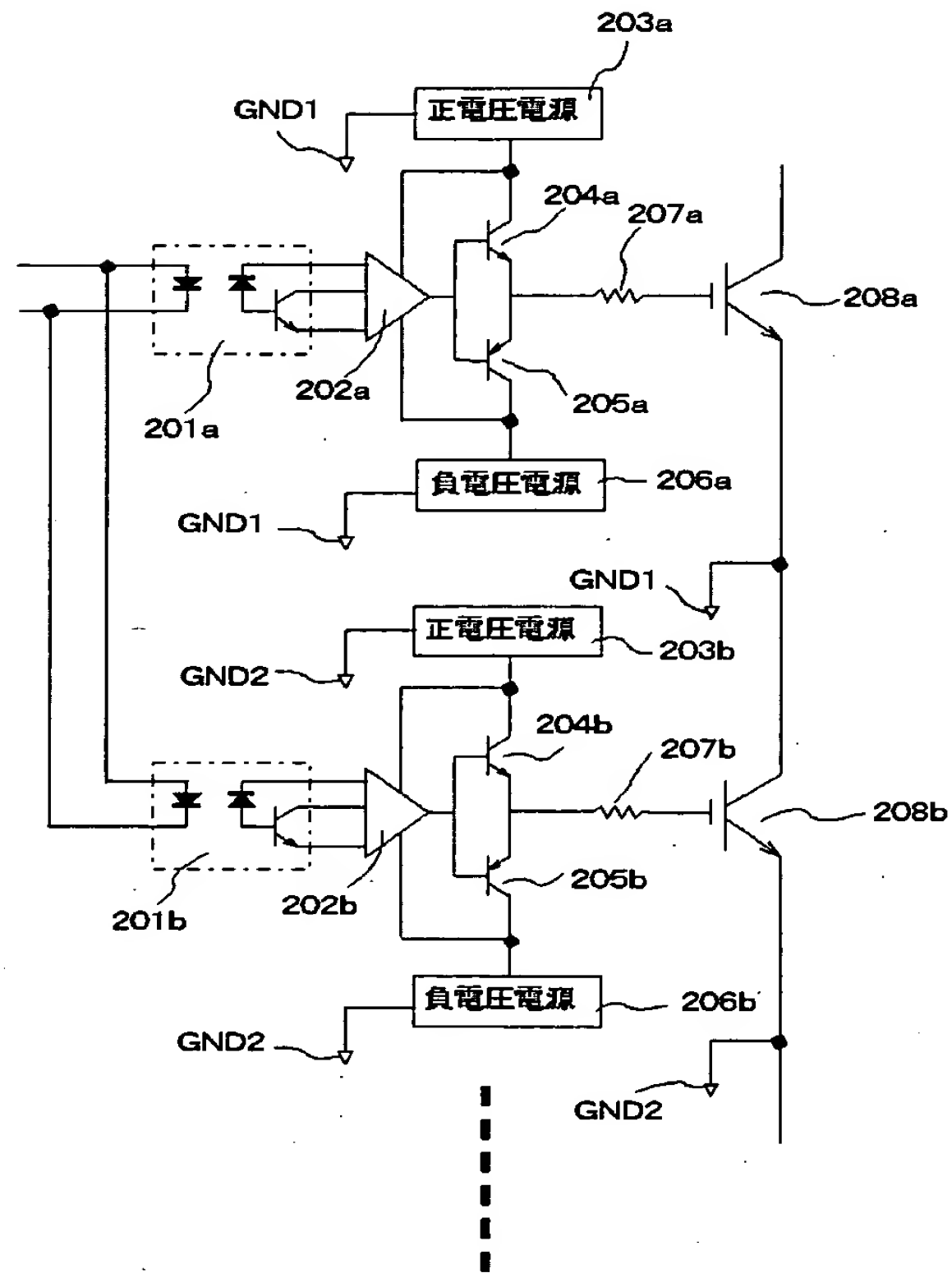


(b) 半導体スイッチの遮断状態を維持する(負電圧の連続供給)動作



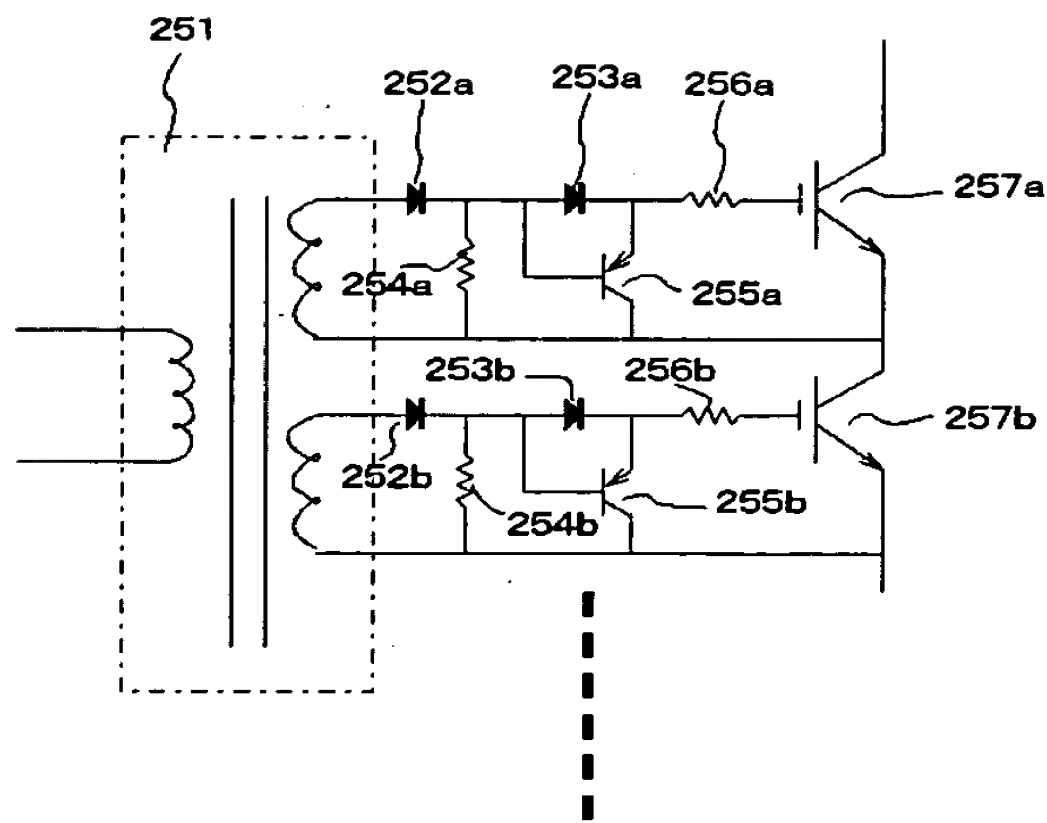
(c) 半導体スイッチのスイッチング動作
(正負電圧の切り換えによるIGBTスイッチング動作)

【図 3】



従来のフォトカプラを用いた半導体スイッチ用駆動回路

【図 4】



従来のトランスを用いた半導体スイッチ用駆動回路

【書類名】 要約書

【要約】

【課題】 安定した導通状態・遮断状態の維持、高速なスイッチング動作ができ、スイッチタイミングのずれが最小限、簡単な回路の半導体スイッチ駆動回路を提供する。

【解決手段】 スイッチ素子（IGBT）が多段接続された半導体スイッチを駆動する半導体スイッチ駆動回路 100 は、トランス 103 と、その一次側領域 101 と、二次側領域 102 とから構成され、スイッチ素子 133a（133b）のゲートとエミッタとの間の電圧を連続して正電圧に維持でき、かつ、該ゲートとエミッタとの間の電圧を連続して負電圧に維持でき、かつ、該ゲートとエミッタとの間の電圧を正電圧と負電圧とが交互に高速スイッチングして維持できる構成とする。

【選択図】 図 1

特 2 0 0 0 - 0 8 0 9 8 5

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 0 8 0 9 8 5
受付番号	5 0 0 0 0 3 5 1 4 2 3
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 2 年 3 月 2 3 日

< 認定情報・付加情報 >

【提出日】 平成12年 3月22日

次頁無

特2000-080985

出 願 人 履 歴 情 報

識別番号 [000230962]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	東京都新宿区西落合1丁目31番4号
氏 名	日本光電工業株式会社